

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-180449

(43)Date of publication of application : 13.08.1986

(51)Int.Cl.

H01L 21/76

(21)Application number : 60-020718

(71)Applicant : TOKO INC

(22)Date of filing : 05.02.1985

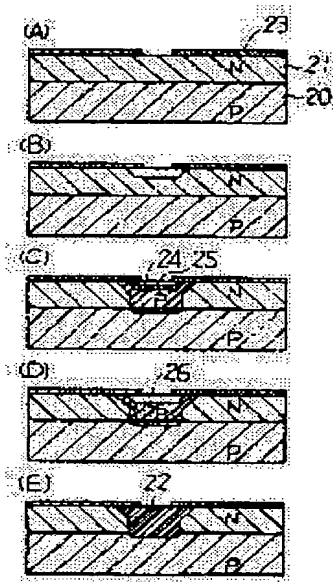
(72)Inventor : SATOU AKINOBU

## (54) DIELECTRIC-ISOLATED SEMICONDUCTOR INTEGRATED CIRCUIT SUBSTRATE AND MANUFACTURE THEREOF

### (57)Abstract:

**PURPOSE:** To reduce lattice defects by a method wherein a porous silicon oxide layer is provided with a Y-shaped cross section.

**CONSTITUTION:** On the surface of a P-type single-crystal silicon substrate 20, an N-type epitaxial layer 21 and mask 23 are formed. Next, the substrate 20 is subjected to etching for the formation of a V-shaped groove. A process follows wherein boron is deposited for the formation of a layer 24 containing a P-type impurity within the epitaxial layer 21, when the layer 24 is provided with a Y-shaped cross section. Anodic treatment is accomplished for the conversion of the layer 24 into a porous silicon layer 26. Next, oxidation is accomplished in an oxygen atmosphere for the development of the porous silicon layer 26 into a silicon dioxide layer 22. The silicon dioxide layer 22 is larger in volume than the porous silicon layer 26, as the result of which the V-shaped groove is filled with silicon dioxide.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑬ Int.Cl.<sup>4</sup>

H 01 L 21/76

識別記号

庁内整理番号

M-7131-5F

⑭ 公開 昭和61年(1986)8月13日

審査請求 未請求 発明の数 3 (全4頁)

⑮ 発明の名称 誘電体分離半導体集積回路用基板及びその製造方法

⑯ 特 願 昭60-20718

⑰ 出 願 昭60(1985)2月5日

⑱ 発 明 者 佐 藤 倬 暢 埼玉県入間郡鶴ヶ島町大字五味ヶ谷18番地 東光株式会社  
埼玉事業所内

⑲ 出 願 人 東 光 株 式 会 社 東京都大田区東雪谷2丁目1番17号

## 明 細 書

## 1. 発明の名称

誘電体分離半導体集積回路用基板及びその製造方法

## 2. 特許請求の範囲

(1) 単結晶シリコンの島状領域が格子状の多孔質シリコン酸化物から成る絶縁物により囲まれて分離された誘電体分離半導体集積回路用基板において、該多孔質シリコン酸化物の幅が基板表面において基板内部よりも広く形成されたことを特徴とする誘電体分離半導体集積回路用基板。

(2) 単結晶シリコン基板の表面に両側が傾斜した格子状の溝を形成し、該溝の部分から該単結晶シリコン基板内に不純物を拡散し、当該不純物の拡散された領域を陽極化成処理により多孔質化し、該多孔質化されたシリコンを酸化処理することによつて絶縁物化する特許請求の範囲第1項記載の誘電体分離半導体集積回路用基板の製造方法。

(3) 単結晶シリコン基板の表面に該単結晶シリコン基板の表面が格子状に露出するように端部が傾斜したマスクを形成し、該単結晶シリコン基板

内に不純物を拡散するとともに該不純物をイオンインプランテーションにより上部が広がった当該不純物を含む領域を形成し、該不純物を含む領域を陽極化成処理により多孔質化し、該多孔質化されたシリコンを酸化処理することによつて絶縁物化する特許請求の範囲第1項記載の誘電体分離半導体集積回路用基板の製造方法。

## 3. 発明の詳細な説明

## 〔発明の技術分野〕

本発明は誘電体分離技術を利用した半導体集積回路用基板とその製造方法に係るもので、特に多孔質シリコン酸化物を用いたものに関する。

## 〔従来技術の説明〕

半導体集積回路における素子の分離は従来はPN接合分離によつていたが、耐圧、スピード、容量などの点から誘電体分離技術が注目されている。この誘電体分離にも種々あるが、最も一般的なのは、異方性エッチングによつてV字形の溝を形成し、酸化膜、多結晶シリコン層を形成した後もとの単結晶シリコン基板を研磨することによつて、

酸化膜で分離されるとともに多結晶シリコンで支持された単結晶シリコンの島を形成するものである。

しかし、上記のタイプの誘電体分離においては、工数、信頼性の上で問題があり、多孔質シリコンを利用してこれを酸化することによつて絶縁領域を形成する方法も考えられている。これは、通常P型のシリコンを陽極化成処理によつて多孔質化し、多孔質シリコンが酸素に対して活性であることを利用して酸化処理を行うものである。研磨などの工程が不要であり、歩留の面でも有利となることから各方面で利用され始めている。

本発明はこの種の誘電体分離集積回路用基板とその製造方法に関するものである。

#### 〔従来技術の問題点〕

しかし、多孔質シリコン酸化物を用いた誘電体分離基板で生じる問題はリーク電流である。PN接合分離に比較して2〜3桁劣化したり、分離された島に造られたラテラルのPNPトランジスタの $H_{FE}$ が1桁小さくなるといった欠点がある。

ことによつて上記の目的を達成するものである。すなわち、単結晶シリコンの島状領域が格子状の多孔質シリコン酸化物から成る絶縁物により囲まれて分離された誘電体分離半導体集積回路用基板において、該多孔質シリコン酸化物の幅が基板表面において内部よりも広く形成された点に特徴を有する。簡単に言えば多孔質シリコン酸化物の断面がY字形の構造となるものである。

また、このような誘電体分離半導体集積回路用基板を製造するために、単結晶シリコン基板の表面に両側が傾斜した格子状の溝を形成し、この溝の部分から単結晶シリコン基板内に不純物を拡散し、この不純物の拡散された領域を陽極化成処理によつて多孔質化し、この多孔質化されたシリコンを酸化処理することに特徴を有する。

更に、単結晶シリコン基板の表面に基板表面が格子状に露出するように端部が傾斜したマスクを形成し、この単結晶シリコン基板内に不純物を拡散するとともにマスクの一部を通して不純物イオンを打ち込んで上部が広がった不純物を含む領域

陽極化成処理のために形成するP型領域を上下から拡散する場合には下部の拡散層付近に、また上からのみ拡散する場合には表面付近にそれぞれ格子欠陥が観察された。このようにシリコン中の格子欠陥がリーク電流の大きな要因となつている。

上記の格子欠陥の生じる原因は幾つか考えられ、陽極化成処理の際に反応面が滑らかでなく多孔質シリコンとシリコン界面で凹凸が激しくなること、酸化の際に多孔質シリコンが膨張して周囲のシリコンにストレスを及ぼすこと、また多孔質シリコンをソースにしてシリコン中の格子欠陥がゲッタリングされること、などが挙げられる。

#### 〔発明の目的〕

本発明は、上記のような問題点を解決して、格子欠陥を減少させてリーク電流を改善する誘電体分離集積回路用基板を得ることを目的とする。また、そのための製造方法を提供することを目的とする。

#### 〔問題点を解決するための手段〕

本発明は多孔質シリコン酸化物の構造を変える

を形成し、この不純物を含む領域を陽極化成処理して多孔質化し、多孔質化されたシリコンを酸化処理することに特徴を有する。

#### 〔発明の実施例-1〕

以下、図面に従つて、本発明の実施例について説明する。第1図は本発明による誘電体分離半導体集積回路用基板の一例の正面断面図を示したものである。

P型の単結晶シリコン基板10の表面にN型のエピタキシャル層の単結晶シリコンの島状領域11が、多孔質シリコン酸化物による二酸化シリコン層12によつて分離されて形成されたものである。二酸化シリコン層12は基板に格子状に形成されるが、図はその一部分のみを示したものである。したがつて、単結晶シリコンの島状領域11は二酸化シリコン層12によつて周囲が囲まれることになる。

この二酸化シリコン層12は上部の幅が広くなつてゐる。すなわち、中間から表面に向かつて徐々に幅が広くなつた構造となつてゐる。したがつて、表面部分の幅が底部よりも広くなり、その分

だけ単結晶シリコンの島状領域11間の距離が大きくなる。

このように表面の幅が広い構造とすると、表面部分の単結晶シリコンの島状領域11の多孔質シリコン酸化物である二酸化シリコン層12との境界付近の格子欠陥が減少する。これは、最も格子欠陥の生じ易い部分が上方に広がっているためにストレスの集中が避けられるためであると考えられる。

#### 〔実施例-2〕

次に、本発明による誘電体分離半導体集積回路用基板の製造方法について説明する。第2図(A-E)はその第一の例の正面断面図である。

P型の単結晶シリコン基板20の表面にN型のエピタキシャル層21を形成し、その表面にマスク23を形成する(A)。このときN型エピタキシャル層21の表面は格子状に露出している。マスクとしては窒化シリコンを用いると後の陽極化成処理にも利用できる点で有利である。また、P型の単結晶シリコン基板20の表面を(100)

したがつて、酸素雰囲気中で酸化処理を行うと多孔質シリコン26は急激に酸化が進む。そして、二酸化シリコン層22となる(E)。このとき体積も膨張するので、最初に形成した溝は二酸化シリコン22によつて充填された形になる。

このようにして、N型のエピタキシャル層による単結晶シリコンの島状領域が二酸化シリコンの絶縁層によつて囲まれて分離されることになる。

#### 〔実施例-3〕

次に、本発明による誘電体分離半導体集積回路用基板の製造方法の他の例について、第3図に従つて説明する。なお、前記の例と共通する部分は説明を省略する。

P型の単結晶シリコン基板30の上にN型のエピタキシャル層31を形成するのは前記と同様であるが、結晶面は(100)面とする必要はない。エピタキシャル層31の表面に二酸化シリコンのマスク33を形成するが、マスク33の端部を傾斜させて形成しておく(A)。エピタキシャル層31の露出する部分は格子状となるのは前記の例

結晶面としておき、N型のエピタキシャル層21も(100)結晶面としておく。

上記のようにマスクを形成した基板をエッチングすると、エッチングの異方性によつてV字形の溝が形成される。エッチングの時間を適宜に設定すれば、マスクの開口部のN型層21の表面に四形の溝が形成される(B)。

続いてマスクの開口部からP型の不純物としてボロンをデポジションして、N型のエピタキシャル層内にP型の不純物を拡散する。P型の不純物を含む領域24は基板内部へ向つて形成されるとともに溝の近傍では溝の斜面に沿つて傾斜した形で横方向に拡散が進むので、Y字形に近い形となる(C)。表面に形成された酸化膜25は除去して次の工程に進む。

次に、フッ化水素溶液中で陽極化成処理を行う。P型の不純物を含む領域24は多孔質シリコン層26となる(D)。

多孔質シリコンは微小な孔が形成されているとともに酸素に対して活性である性質を有している。

と同じである。

続いて、マスクの開口部から基板内にP型の不純物としてボロンを拡散する。これによつてP型領域34が形成される(B)。

次に同じ不純物であるボロンをイオン・インプランテーションによつてエピタキシャル層31内に打ち込む。二酸化シリコンのマスク33は傾斜をつけて形成してあり、厚みに差があるので、マスク33の傾斜部では打ち込まれる深さに差が生じることになり、それによつてP型の領域34は表面に向つて幅が広がることになる(C)。

ここでマスク33を除去し、窒化シリコンのマスク37を形成した後、前記と同様に、陽極化成処理(D)、酸化処理(E)を行う。

このようにして、表面の幅が広くなつた二酸化シリコン層の形成された誘電体分離半導体集積回路用基板が得られる。

#### 〔発明の効果〕

本発明によれば、単結晶シリコンの島状領域の格子欠陥を減少させることができ、これによつて

リーク電流の問題を解決することができる。

また、複雑な処理なども必要とせず、僅かに一つの工程を付加するのみで多孔質シリコン酸化物である二酸化シリコン層の構造を変えることができる点でも有利である。

#### 4. 図面の簡単な説明

第1図、第2図、第3図はそれぞれ本発明の実施例を示す正面断面図である。

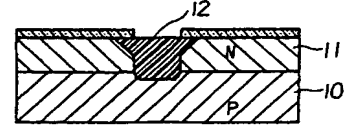
12・22・32……二酸化シリコン層、

26・36……多孔質シリコン

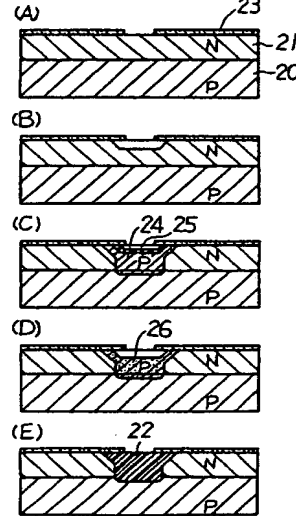
特許出願人

東光株式会社

第 1 図



第 2 図



第 3 図

